

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 03 月 19 日  
Application Date

申 請 案 號：092106068  
Application No.

申 請 人：南亞科技股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 5 月 14 日  
Issue Date

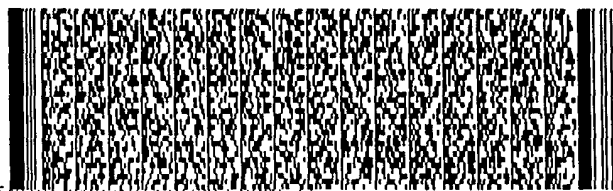
發文字號：09220482810  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	整合對準標記與溝槽元件之製程
	英文	PROCESS FOR INTEGRATING ALIGNMENT AND TRENCH DEVICE
二、 發明人 (共2人)	姓名 (中文)	1. 蔡子敬 2. 陳良信
	姓名 (英文)	1. Tzu-Ching Tsai 2. Liang-Hsin Chen
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 桃園縣蘆竹鄉南華一街39號10樓之9 2. 高雄縣鳳山市福誠里25鄰六法街42號
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：整合對準標記與溝槽元件之製程)

本發明揭示一種整合對準標記與溝槽元件之製程。首先，提供具有一第一溝槽及一第二溝槽之基底。其中，第二溝槽係作為對準標記且其寬度大於第一溝槽。接著，在第一及第二溝槽下半部各形成一溝槽元件，再在溝槽中之溝槽電容上形成一第一導電層。之後，在基底上形成一第二導電層並填入第一溝槽且同時於第二溝槽內表面順應性形成此第二導電層。最後，回蝕刻第二導電層，以完全去除第二溝槽之第二導電層及一部分的第一導電層，且同時在第一溝槽中留下部分的第二導電層。

伍、(一)、本案代表圖為：第2d圖。

(二)、本案代表圖之元件代表符號簡單說明：

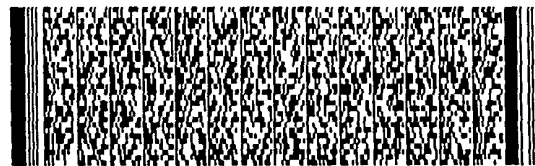
30~元件區；

40~對準標記區；

200~基底；

六、英文發明摘要 (發明名稱：PROCESS FOR INTEGRATING ALIGNMENT AND TRENCH DEVICE)

A process for integrating alignment mark and trench device. First, a substrate having first and second trenches is provided. The second trench is used as an alignment mark and its width is larger than the first one. Next, a trench device is formed in each of the lower first and second trenches, and then a first conductive layer is formed on the trench device. Thereafter, a second

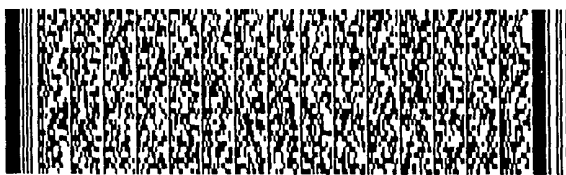


四、中文發明摘要 (發明名稱：整合對準標記與溝槽元件之製程)

202~ 墊氧化矽層；  
204~ 氮化矽層；  
205~ 罩幕層；  
210a、210b~ 溝槽；  
212a、212b~ 下電極；  
214a、214b~ 電容介電層；  
216a、216b~ 上電極；  
217a、217b、217c~ 頸圈絕緣層；  
218a、218b~ 溝槽電容；  
220a、220b、220c、222~ 導電層。

六、英文發明摘要 (發明名稱：PROCESS FOR INTEGRATING ALIGNMENT AND TRENCH DEVICE)

conductive layer is formed on the substrate and fills the first trench and is simultaneously and conformably formed on the surface of the second trench. Finally, etching is performed to remove the complete second conductive layer and a portion of the first conductive layer in the second trench and simultaneously leave a portion of the second conductive layer in the first trench.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之領域】

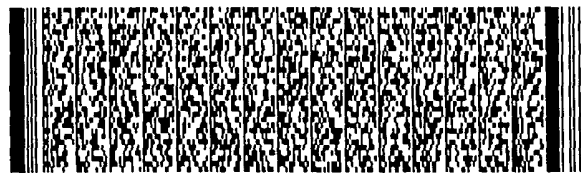
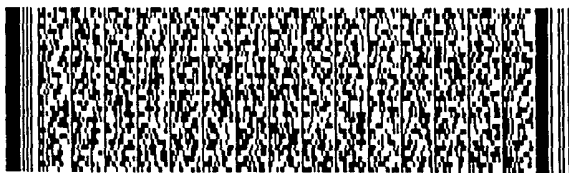
本發明係有關於一種半導體製程，特別是有關於一種整合對準標記與溝槽元件之製程，以簡化製程及降低製造成本。

### 【先前技術】

在半導體積體電路製造中，微影製程係一重要製程。微影製程係用以將圖案轉移至薄膜上，或是於進行離子佈植製程前，形成所需之罩幕層。一般而言，在半導體積體電路製造過程中，需進行多次的微影製程，然而在微影製程步驟中，圖案之對準 (alignment) 係一關鍵性步驟。當於晶圓上製作不同層的圖案時，晶圓必須精確地對準於先前的圖案。傳統上，對準標記 (alignment mark, AM) 係使用於實施曝光程序前之對準作業。

對準標記通常於圖案化元件區之基底或基底上之薄膜時，同時形成於元件區之外，例如晶圓之切割道 (scribe line)。以下配合第1a到1d圖說明習知整合對準標記與溝槽元件之製程。首先，請參照第1a圖，提供一基底100，例如一矽晶圓。此基底100具有一元件區10及一對準標記區20，其中對準標記區20係位於晶圓之切割道。

接著，在基底100表面上形成一圖案化之罩幕層105，其由一墊氧化矽層102與一氮化矽層104所組成。之後，藉由圖案化之罩幕層105作為蝕刻罩幕，以蝕刻基底200而分別在元件區10及對準標記區420形成複數深溝槽。為了簡



## 五、發明說明 (2)

化圖式，此處僅在元件區10及對準標記區20各繪示一深溝槽110a及110b。其中，深溝槽110b之寬度大於深溝槽110a。

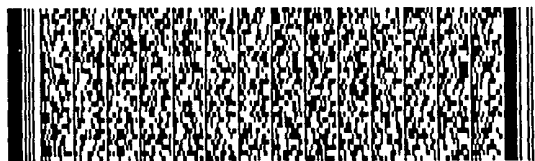
接下來，分別在深溝槽110a及110b下半部形成溝槽電容118a及118b，其包含上電極116a及116b、電容介電層114a及114b及下電極112a及112b。接著，分別在溝槽電容118a及118b上方之深溝槽110a及110b側壁形成一頸圈絕緣層117a及117b。之後，分別在深溝槽110a及110b中形成導電層120a及120b，例如複晶矽層。導電層120a及120b之高度大體與頸圈絕緣層117a及117b相同。

接下來，在罩幕層105上形成另一導電層122，例如複晶矽層，並填入深溝槽110a及120b。

接下來，請參照第1b圖，以罩幕層105作為研磨終止層對導電層122實施一化學機械研磨處理 (chemical mechanic polishing, CMP)，而分別在深溝槽110a及110b留下部分的導電層122a及122b。

接下來，請參照第1c圖，回蝕刻導電層122a及122b以分別在深溝槽110a及110b留下部分的導電層124a及124b。深溝槽110a中的導電層120a及124a係作為溝槽電容118a之導線層。深溝槽110b及其中的溝槽電容118b及導電層120b及124b係作為對準標記。

由於深溝槽110b中形成有溝槽電容118b及導電層120b及124b，降低對準標記區10之基底100之高度落差而降低對準標記之影像對比 (contrast)。因此，請參照第1d



### 五、發明說明 (3)

圖，藉由微影製程在罩幕層105上形成一光阻圖案層（未繪示）以完全覆蓋深溝槽110a而僅露出深溝槽110b。之後，利用光阻圖案層作為罩幕以蝕刻完全去除導電層124b及部分的導電層120b與部分的頸圈絕緣層117b而留下部分的導電層120c與部分的頸圈絕緣層117c，藉以增加對準標記區10之基底100之高度落差。

然而，上述製程過於繁複，因而增加製造成本及時間並降低產能。

#### 【發明內容】

有鑑於此，本發明之目的在於提供一種整合對準標記與溝槽元件之製程，藉以簡化製程步驟，進而降低製作成本及時間同時增加產能。

根據上述之目的，本發明提供一種整合對準標記與溝槽元件之製程。首先，提供具有一第一溝槽及一第二溝槽之基底。其中，第二溝槽係作為對準標記且其寬度大於第一溝槽。接著，在第一及第二溝槽下半部各形成一溝槽元件，再在溝槽中之溝槽電容上形成一第一導電層。之後，在基底上形成一第二導電層並填入第一溝槽且同時於第二溝槽內表面順應性形成此第二導電層。最後，回蝕刻第二導電層，以完全去除第二溝槽之第二導電層及一部分的第一導電層，且同時在第一溝槽中留下部分的第二導電層。其中，上述方法更包括在回蝕刻第二導電層之前實施一化學機械研磨處理步驟，以去除該基底上之該第二導電層。





#### 五、發明說明 (4)

再者，第一導電層可為一複晶矽層且其厚度在2000到4000埃的範圍。第二導電層可為一複晶矽層且其厚度在2000到4000埃的範圍。

為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

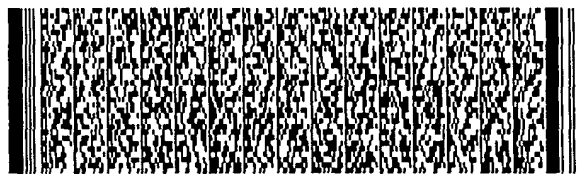
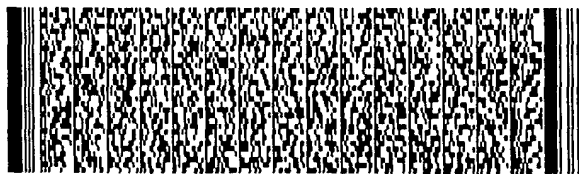
#### 【實施方式】

以下配合第2a到2f圖說明本發明實施例之整合對準標記與溝槽元件之製程。首先，請參照第2a圖，提供一基底200，例如一矽晶圓。此基底200具有一元件區30及一對準標記區40，其中對準標記區30係位於晶圓之切割道(scribe line)。

接著，在基底200表面上形成一罩幕層205，其可為單層結構或數層的堆疊結構。如圖中所示，罩幕層205較佳是由一層墊氧化矽層202與一層較厚的氮化矽層204所組成。其中，墊氧化矽層202的厚度約100埃(Å)左右，且其形成方法可為熱氧化法或是以習知的常壓

(atmospheric)或低壓化學氣相沉積法(low pressure chemical vapor deposition, LPCVD)沉積而成。在墊氧化矽層202之上的氮化矽層204的厚度約在1000到2000埃的範圍，且可利用低壓化學氣相沉積法，以二氯矽烷( $\text{SiCl}_2\text{H}_2$ )與氨氣( $\text{NH}_3$ )為反應原料沉積而成。

接著，在罩幕層205表面上形成一層光阻層206。之



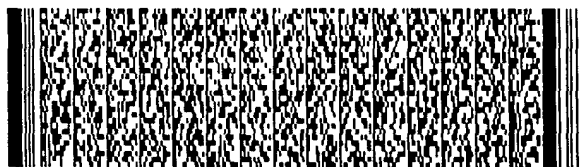
#### 五、發明說明 (5)

後，藉由習知微影製程於光阻層206中形成複數開口208a及208b。其中，開口208a係位於元件區30上方而開口208b係位於對準標記區40上方，且開口208b之寬度大於開口208a。以光阻層206作為罩幕來對罩幕層205進行非等向性蝕刻製程，例如反應離子蝕刻 (reactive ion etching, RIE) 而將開口208a及208b轉移至罩幕層205中並露出部分的基底200表面。

接下來，請參照第2b圖，以適當蝕刻溶液或灰化處理來去除光阻層206之後，藉由罩幕層205作為蝕刻罩幕，進行非等向性蝕刻製程，例如反應離子蝕刻，以將罩幕層205之開口下方之基底200蝕刻至一預定深度而分別在元件區30及對準標記區40形成複數深溝槽。為了簡化圖式，此處僅在元件區30及對準標記區40各繪示一深溝槽210a及210b。同樣地，深溝槽210b之寬度大於深溝槽210a。

接下來，請參照第2c圖，利用習知之方法分別在深溝槽210a及210b下半部形成溝槽元件218a及218b。在本實施例中，溝槽元件218a及218b係以溝槽電容作為範例。溝槽電容218a及218b包含上電極216a及216b、電容介電層214a及214b及下電極212a及212b。下電極212a及212b係環繞於下半部深溝槽210a及210b之基底200中。上電極216a及216b係設置於下半部之深溝槽210a及210b中，其可由複晶矽所構成。電容介電層214a及214b係設置於下電極212a及212b與上電極216a及216b之間。

接著，在溝槽電容218a及218b上方之深溝槽210a及



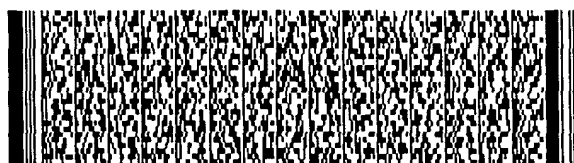
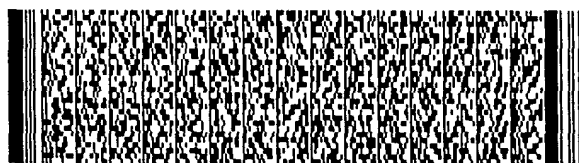
#### 五、發明說明 (6)

210b 側壁形成由氧化矽所構成之頸圈絕緣層217a及217b。之後，藉由習知沉積技術，例如化學氣相沉積 (CVD)，在單幕層205上形成一導電層 (未繪示)，例如複晶矽層，並填入深溝槽210a及210b中。回蝕刻上述導電層，以分別在深溝槽210a及210b中留下部分的導電層220a及220b。導電層220a及220b之高度大體與頸圈絕緣層217a及217b相同，且其厚度在2000到4000埃的範圍。

接下來，請參照第2d到2f圖，進行本發明之關鍵步驟。在第2d圖中，藉由習知沉積技術，例如CVD，在元件區30之單幕層205上形成另一導電層222，例如複晶矽層，並填入深溝槽210a。同時，導電層222亦形成於對準標記區40之單幕層205及順應性形成於深溝槽210b內表面。在本實施例中，導電層222厚度在2000到4000埃的範圍。

接下來，請參照第2e圖，對導電層222實施一研磨處理，例如化學機械研磨處理 (CMP)，並以單幕層205作為研磨終止層而分別在深溝槽210a及210b留下部分的導電層222a及222b。

最後，請參照第2f圖，藉由等向性蝕刻來回蝕刻導電層222a及222b。在此步驟中，完全去除了對準標記區40的導電層222b以及去除部分的導電層220b及部分的頸圈絕緣層217b而留下部分的導電層220c及頸圈絕緣層217c而完成對準標記之製作。此處，完全去除導電層222b之目的在於使對準標記區40之基底200高度落差而增加對準標記於微影製程之影像對比 (contrast)。同時，在此步驟中，同



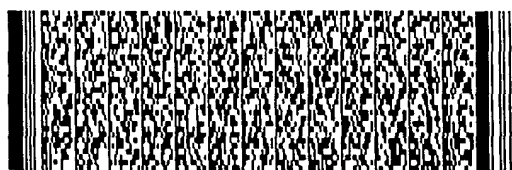
#### 五、發明說明 (7)

樣會去除元件區30中部分的導電層222a而留下部分的導電層222c。此處，導電層222c及導電層220a係作為溝槽電容218a之導線層。

另外，需注意的是，由於導電層222是順應性形成於其內表面而並非完全填滿深溝槽210b，因此可直接進行上述之等向性蝕刻而無需於蝕刻前進行上述研磨處理，藉以進一步簡化製程步驟。

根據本發明之方法，位於對準標記區之導電層222可經由等向性蝕刻而完全去除。相較於習知技術中使用至少兩次的蝕刻製程及一次微影製程而言，可有效地簡化製程步驟而降低製作成本及製造時間，同時增加產能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1a到1d圖係繪示出習知整合對準標記與溝槽元件之製程之剖面示意圖。

第2a到2f圖係繪示出根據本發明實施例之整合對準標記與溝槽元件之製程之剖面示意圖。

符號說明：

### 習知

10~元件區；

20~對準標記區；

100~基底；

102~墊氧化矽層；

104~氮化矽層；

105~罩幕層；

110a、110b~溝槽；

112a、112b~下電極；

114a、114b~電容介電層；

116a、116b~上電極；

117a、117b、117c~頸圈絕緣層；

118a、118b~溝槽電容；

120a、120b、120c、122、122a、122b、124a、124b~

導電層。

### 本發明

30~元件區；

40~對準標記區；



圖式簡單說明

200~ 基底；

202~ 墊氧化矽層；

204~ 氮化矽層；

205~ 罩幕層；

206~ 光阻層；

208a、208b~ 開口；

210a、210b~ 溝槽；

212a、212b~ 下電極；

214a、214b~ 電容介電層；

216a、216b~ 上電極；

217a、217b、217c~ 頸圈絕緣層；

218a、218b~ 溝槽電容；

220a、220b、220c、222、222a、222b、222c~ 導電

層。



## 六、申請專利範圍

1. 一種整合對準標記與溝槽元件之製程，包括下列步驟：

提供一基底，其具有一元件區及一對準標記區；

在該元件區形成至少一第一溝槽且同時在該對準標記區形成至少一第二溝槽，其中該第二溝槽之寬度大於該第一溝槽；

在該第一及第二溝槽下半部各形成一溝槽電容；

在該等溝槽中之該溝槽電容上形成一第一複晶矽層；

在該元件區之基底上形成一第二複晶矽層並填入該第一溝槽且同時於對準標記區之基底及該第二溝槽內表面順應性形成該第二複晶矽層；以及

回蝕刻該第二複晶矽層，以完全去除該對準標記區中之該第二複晶矽層及一部分之該第一複晶矽層，且同時在該元件區中留下部分的該第二複晶矽層。

2. 如申請專利範圍第1項所述之整合對準標記與溝槽元件之製程，其中該基底係一矽晶圓且該對準標記區係位於該晶圓之切割道。

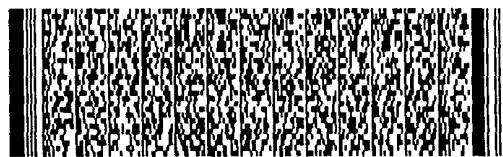
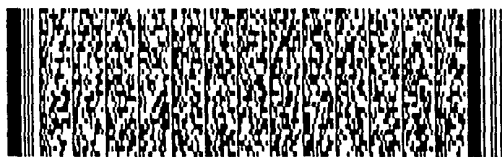
3. 如申請專利範圍第1項所述之整合對準標記與溝槽元件之製程，其中該溝槽電容包括：

一下電極，環繞於該下半部之溝槽之該基底中；

一上電極，設置於該下半部之溝槽中；以及

一電容介電層，設置於該下電極與該上電極之間。

4. 如申請專利範圍第1項所述之整合對準標記與溝槽元件之製程，其中該第一複晶矽層之厚度在2000到4000埃



## 六、申請專利範圍

的範圍。

5. 如申請專利範圍第1項所述之整合對準標記與溝槽元件之製程，其中該第二複晶矽層之厚度在2000到4000埃的範圍。

6. 如申請專利範圍第1項所述之整合對準標記與溝槽元件之製程，更包括在回蝕刻該第二複晶矽層之前實施一研磨處理步驟，以去除該基底上之該第二複晶矽層。

7. 如申請專利範圍第6項所述之整合對準標記與溝槽元件之製程，其中該研磨處理係一化學機械研磨處理。

8. 一種整合對準標記與溝槽元件之製程，包括下列步驟：

提供一基底，其具有一第一溝槽及一第二溝槽，其中該第二溝槽係用以作為該對準標記且其寬度大於該第一溝槽；

在該第一及該第二溝槽下半部各形成該溝槽元件；

在該等溝槽中之該溝槽元件上形成一第一導電層；

在基底上形成一第二導電層並填入該第一溝槽且同時於該第二溝槽內表面順應性形成該第二導電層；以及

回蝕刻該第二導電層，以完全去除該第二溝槽之該第二導電層及一部分的該第一導電層，且同時在該第一溝槽中留下部分的該第二導電層。

9. 如申請專利範圍第8項所述之整合對準標記與溝槽元件之製程，其中該基底係一矽基底。

10. 如申請專利範圍第8項所述之整合對準標記與溝槽





#### 六、申請專利範圍

元件之製程，其中該溝槽元件係一溝槽電容。

11. 如申請專利範圍第10項所述之整合對準標記與溝槽元件之製程，其中該溝槽電容包括：

一下電極，環繞於該下半部之溝槽底部之該基底中；  
一上電極，設置於該下半部之溝槽中；以及  
一電容介電層，設置於該下半部之溝槽與該上電及之間。

12. 如申請專利範圍第8項所述之整合對準標記與溝槽元件之製程，其中該第一導電層係一複晶矽層。

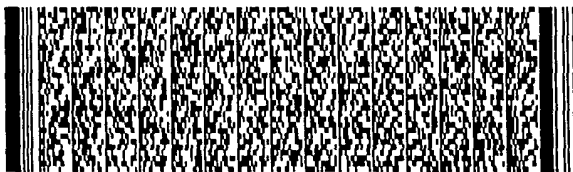
13. 如申請專利範圍第12項所述之整合對準標記與溝槽元件之製程，其中該第一導電層之厚度在2000到4000埃的範圍。

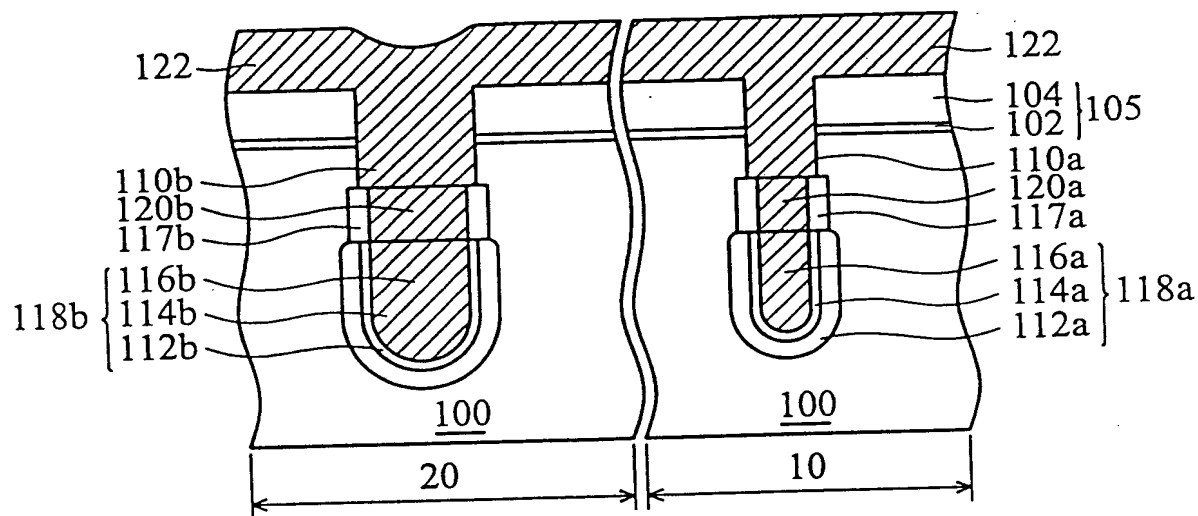
14. 如申請專利範圍第8項所述之整合對準標記與溝槽元件之製程，其中該第二導電層係一複晶矽層。

15. 如申請專利範圍第14項所述之整合對準標記與溝槽元件之製程，其中該第二導電層之厚度在2000到4000埃的範圍。

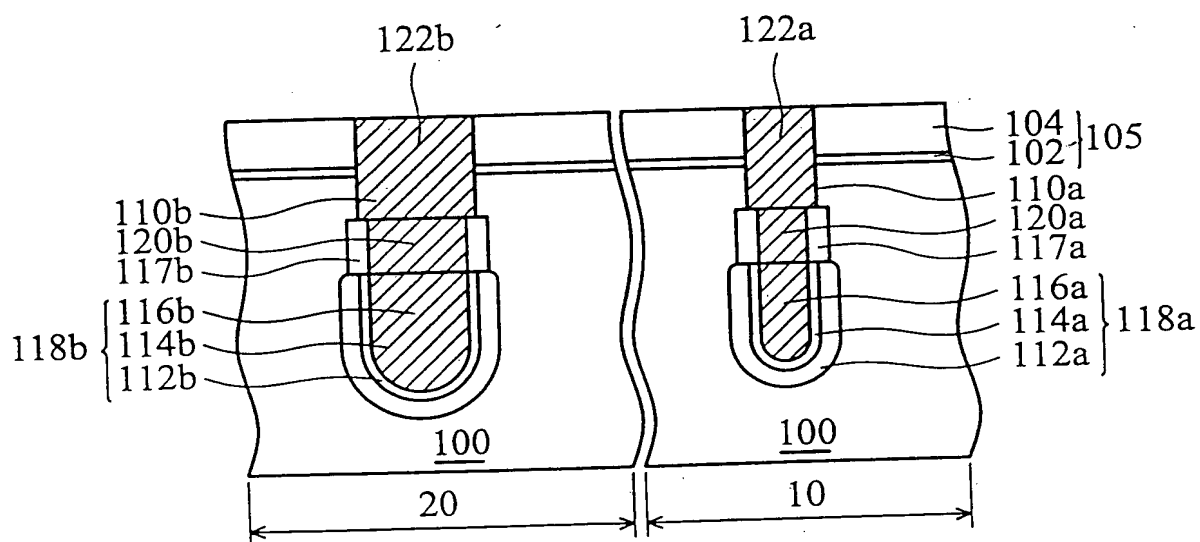
16. 如申請專利範圍第8項所述之整合對準標記與溝槽元件之製程，更包括在回蝕刻該第二導電層之前實施一研磨處理步驟，以去除該基底上之該第二導電層。

17. 如申請專利範圍第16項所述之整合對準標記與溝槽元件之製程，其中該研磨處理係一化學機械研磨處理。

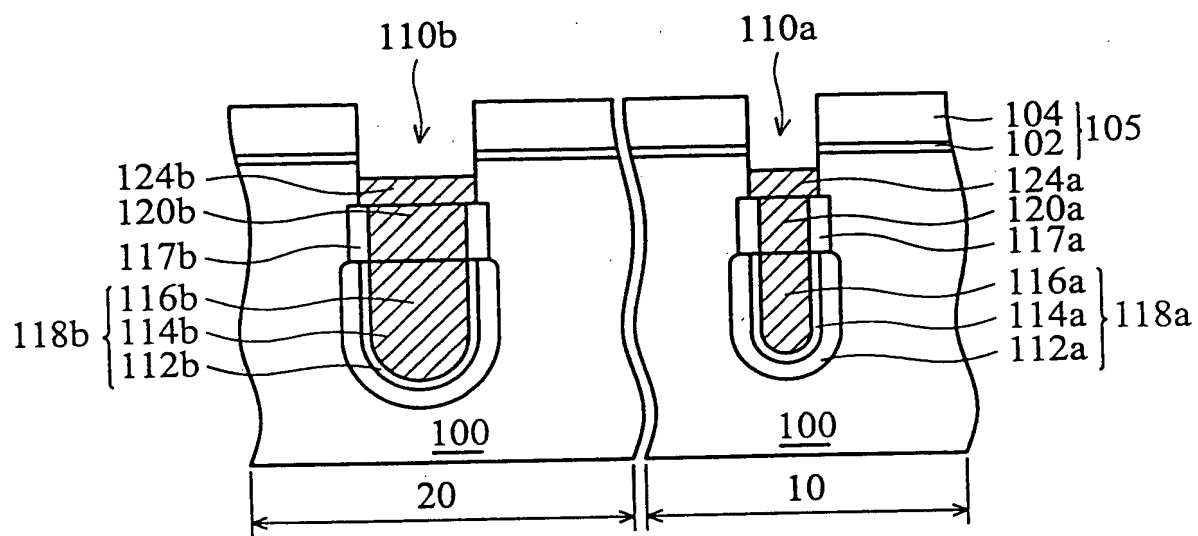




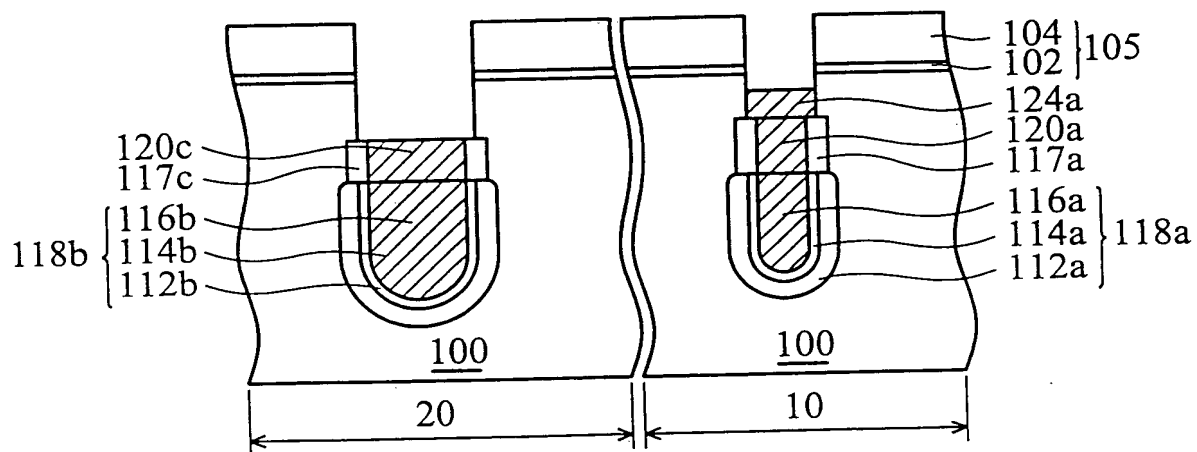
第 1a 圖



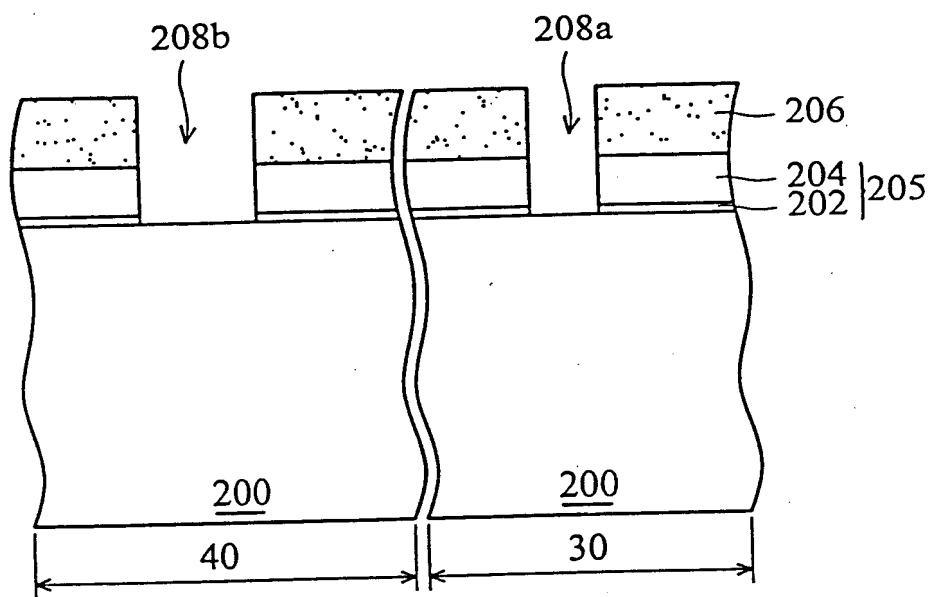
第 1b 圖



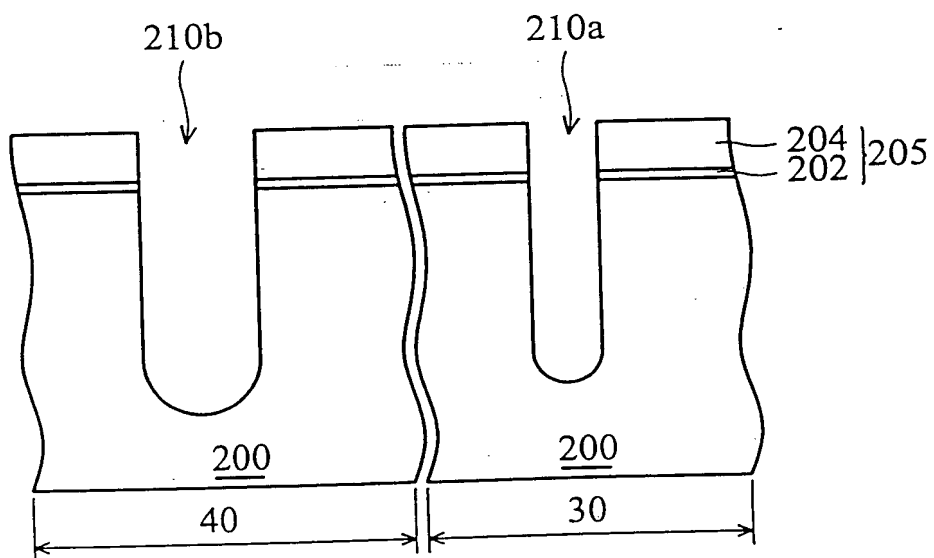
第 1c 圖



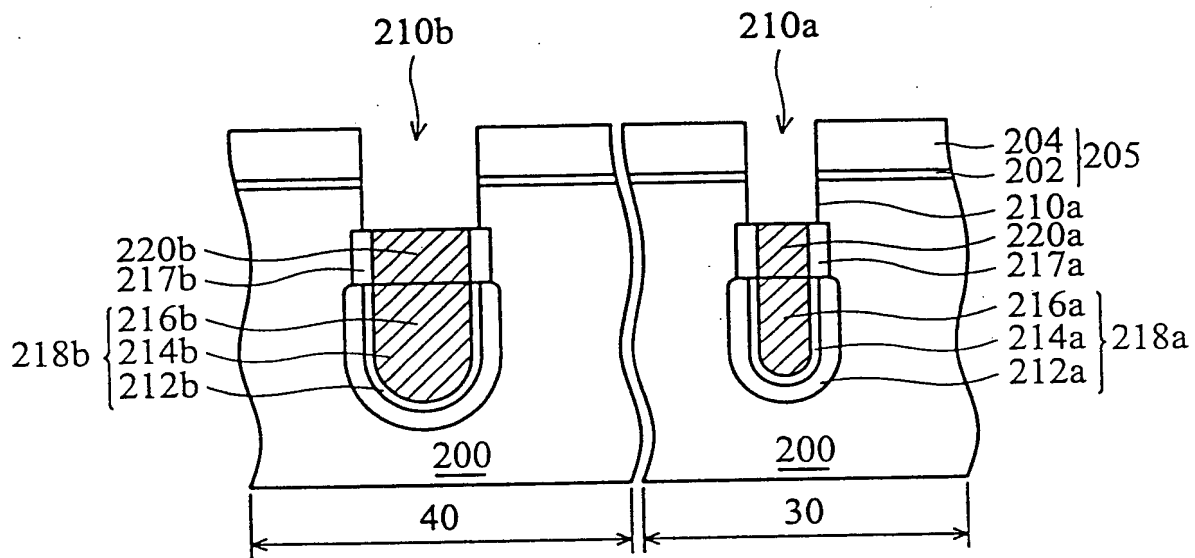
第 1d 圖



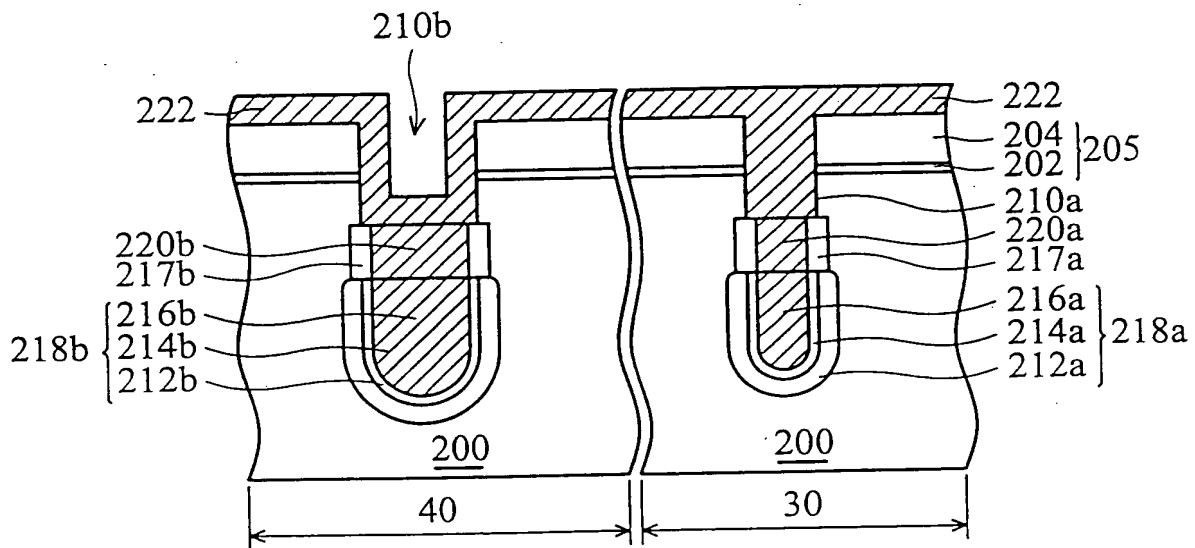
第 2a 圖



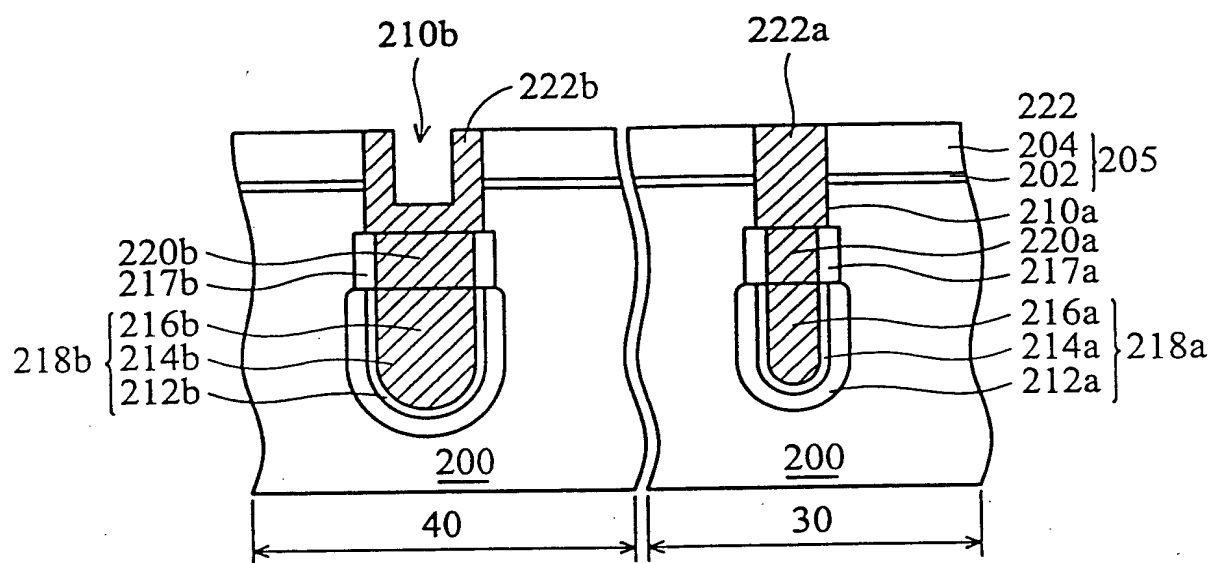
第 2b 圖



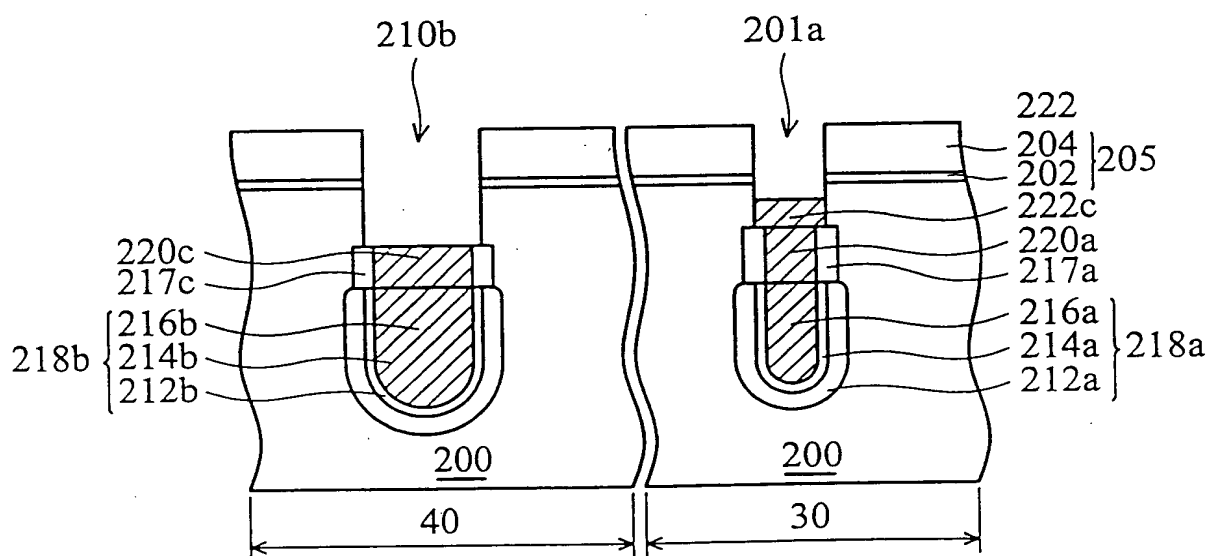
第2c圖



第2d圖

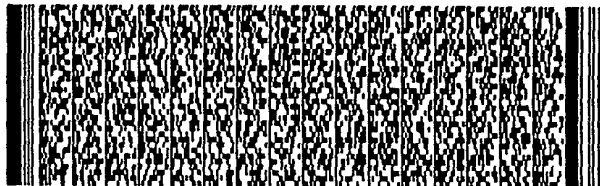


第 2e 圖



第 2f 圖

第 1/16 頁



第 2/16 頁



第 2/16 頁



第 3/16 頁



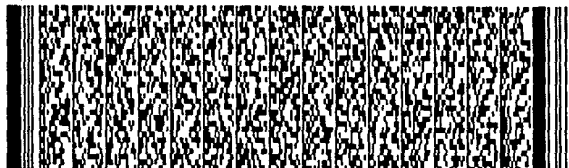
第 4/16 頁



第 5/16 頁



第 5/16 頁



第 6/16 頁



第 6/16 頁



第 7/16 頁



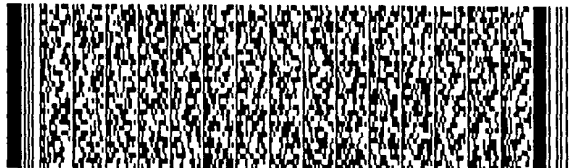
第 7/16 頁



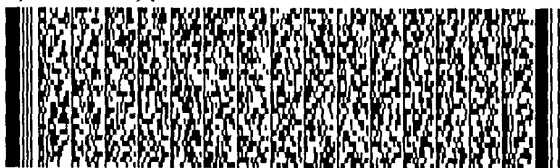
第 8/16 頁



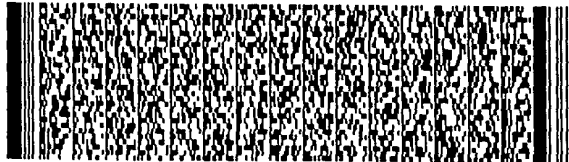
第 8/16 頁



第 9/16 頁



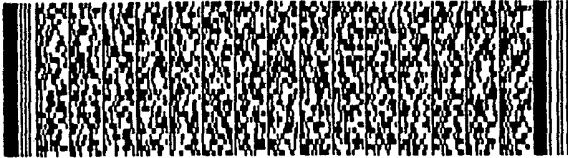
第 9/16 頁



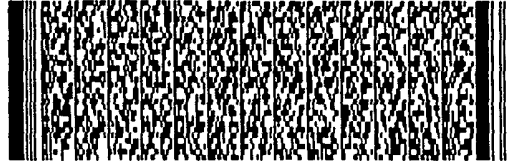
第 10/16 頁



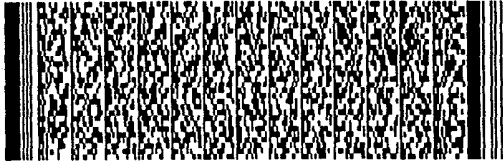
第 10/16 頁



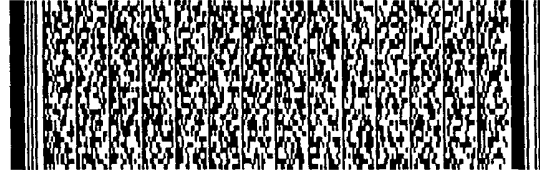
第 11/16 頁



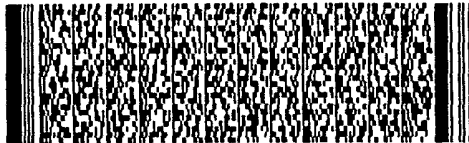
第 11/16 頁



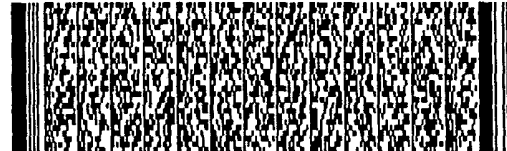
第 12/16 頁



第 13/16 頁



第 14/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

